



KOREAN PATENT PUBLICATION NO. 2002-0086568

## METHOD FOR FORMING FERROELECTRIC LAYER

### 5 [Abstract]

The present invention relates to a method for forming a ferroelectric layer. An external field is applied to readily crystallize materials based on a predetermined direction, which results in formation of ferroelectric layers whose domains are aligned such that their polarization sectors are positioned  
10 to be perpendicular to an electrode of a storage capacitor in a memory cell. Since an overall polarization sector for the domains runs in parallel with a storage capacitor field while a memory device is operating, a high-level remanence is established. As a result, a level of a signal read out from the storage capacitor is also high.

특 2002-0086568

(19) 대한민국특허청 (KR)  
(12) 공개특허공보(A)

(5) Int. Cl.  
H01L 21/0247 (11) 공개번호 특 2002-0086568  
(43) 공개일자 2002년 11월 18일

(21) 출원번호 10-2002-7011031  
(22) 출원일자 2002년 08월 23일  
(23) 우선권주장 없음  
(36) 국제출원번호 PCT/JP2001/02036 (87) 국제공개일자 2001년 09월 20일  
(86) 국제출원출원일자 2001년 02월 22일 (87) 국제공개일자 2001년 09월 20일  
(81) 지상국 국내특허 : 중국, 일본, 대한민국, 미국, EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스웨덴, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 독생부르크, 모나코, 네덜란드, 포르투갈, 스페인, 핀란드, 시이로르스

(30) 우선권주장 1003617, 9 2000년 02월 22일 독일(DE)  
(71) 출원인 인피니트 마이크로시스템즈 AG  
(72) 발명자 독일, 뮌헨 DA-81689, 세인트-아틴-슈트라이베 53  
제르베만스  
독일 81777 뮌헨-문터젠탈링스체를링스트리트 31  
인더미에이 프랑크  
독일 547 뮌헨-아르테르스트라스 45  
선물라르너  
독일 80002 뮌헨-레거스트라스 19  
비나리아 프란츠  
오스트리아 4820 테이스펠레르스트라스 104  
하르트나발터  
미국 버지니아 23060 글렌데일 스프링 10711  
히프나리움  
독일 81555 뮌헨-리크라이크스트라스 35  
베인라베를커  
프랑크푸르트-750140 베버베어-노스펠스-링트-문트마르시 67  
슈지라, 김양오

(74) 대리인  
외사법구 : 외출  
(54) 발명의 제목 발명

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

발명 및 메모리 캐패시터의 제조 방법에 관한 것이다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.

본 발명은 반도체 소자의 제조 방법에 관한 것이다. 본 발명에 따라 외부 전계의 인가에 의해 미리 정해진 방향을 따라 소자의 결정화가 유도된다. 이러한 방법으로는, 본 발명이 메모리 셀 내의 메모리 캐패시터의 전계에 의해 소자의 도메인 영역을 정렬시켜 구조적 소자의 형성할 수 있다. 그 결과, 메모리 장치의 작동 동안 도메인의 전계 불균형에 의해 캐패시터의 필드에 의해 정렬되게 되므로, 높은 전류 밀도가 형성된다. 따라서, 메모리 캐패시터로부터 관측되는 전압의 레벨이 높다.



플라즈마는 적외 히터에 의해서 또는 부가의 플라즈마 소스, 예컨대 ECR 또는 MICR에 소스(도시되지 않음)에 의해서만 생성될 수 있다. 플라즈마(부가)의 플라즈마 소스에 의해 발생되는 전압 필드는 주로 기판을 플라즈마 내로 침투시키기 위해 사용된다. 이러한 소위 임플란트 플라스마(implantation plasma)에 대한 세부 사항은 예컨대 미국 특허 번호 5,911,822호(Uberolle 등)에 개시된 C.

상기 방식으로 매우 조밀한 산소 플라즈마가 생성될 수 있고, 상기 플라즈마는 충분한 많은 제1내지 산소 이온을  $50^{\circ}$ 의 도관링을 위해 제공한다. 동시에, 플라즈마(1)의 조밀도에 따른 범위로 사용할 수 있으므로, 충분한 큰 전계가  $50^{\circ}$ 의 도관링의 정렬을 위해 발생할 수 있다. 기판(1)의 기판을 위해, 기판(2)이 제공된다. 상기 기판(2)은 지지체(20)의 상부에 배치된다. 프로세스 파라미터는, 범용 범위로 변형될 수 있다:

게소드 온도 50~700°C, RF-출력 30~500 와트, 가스 유동량 100~700 sccm, 플라즈마 밀도  $3 \times 10^{18}$  이온/cm<sup>3</sup>, 미온 유동량  $> 10^4$  이온/(cm<sup>2</sup> s), 압력 0.1~3 Torr.

도관링 후에, 메모리 커패시터의 산화 전극은 전체 표면에 디포지션된다. 산화 전극의 패공 후, 강유전 층(10)과 산화 전극(13) 사이의 경계층을 커다랗게 하기 위해, 도관링에 이어진다. 그리고 나서, 강유전 층, 즉 카복실 층(13) 강유전 층(10) 및 카복실 층(9)이 이방성 매질 방법에 의해 구조화됨으로써, 도 예 도시된 구조가 형성된다.

또 다른 예에 따르면, 방법은 결정화시 인가된 전계에 의해 강유전 층이 형성되고, 그 도메인이 비침착하거나 그 블록 패턴에 따라 메모리 커패시터의 전극에 대해 수직으로  $50^{\circ}$ 도를 정렬한다는 정렬을 갖는다. 그 결과, 메모리 장치의 작동 동안 도메인의 전체 블록 패턴이 침착적으로 메모리 커패시터의 필드에 대해 정렬하게 되고 상응하게 높은 전류 지가 블록이 형성된다. 따라서, 메모리 커패시터로부터 관측될 수 있는 신호의 레벨이 높다.

또 다른 예의 전술한 실시예에서는, 하부 전극(9), 강유전 층(1) 및 산화 전극(13)이 동시에 하나 또는 다수의 이방성 매질 방법에 의해 구조화되었다. 그러나, 이것에 대한 대안으로서, 하부 전극(9)이 강유전 재료의 재봉 전에 이미 매질 방법에 의해 구조화될 수 있다. 또한, 강유전 층(10) 및 하부 전극(9)을 산화 전극(13)이 형성되기 전에 구조화하는 것이 가능하다.

(5) 상기의 예

실구판 1

강유전 층의 제조 방법에 있어서,

a) 기판을 제공하는 단계,

b) 상기 기판 상에 나중의 강유전 층의 재료를 제공하는 단계,

c) 미리 정해진 방향을 따라 정렬된 전계가 존재하는 동안 재료가 강유전 상으로 비파도록 하기 위해, 필드 전압을 수반하는 단계를 포함하는 것을 특징으로 하는 방법.

실구판 2

제 1항에 있어서,

상기 강유전 층이 스트로姆베스무트탈라이트 층(SBT, SrBiTa<sub>2</sub>Nb<sub>2</sub>O<sub>10</sub>)고, 상기 열처리가 500 내지 820°C, 바람직하게는 700 내지 800°C의 온도로 수행되는 것을 특징으로 하는 방법.

실구판 3

제 2항에 있어서,

상기 열처리가 700 내지 750°C의 온도로 수행되는 것을 특징으로 하는 방법.

실구판 4

제 1항에 있어서,

상기 강유전 층이 납지르코네이트타타라이트 층(PZT, Pb(Zr, Ti)<sub>2</sub>Nb<sub>2</sub>O<sub>10</sub>)고 상기 열처리가 400 내지 600°C의 온도로 수행되는 것을 특징으로 하는 방법.

실구판 5

제 1항 내지 제 4항 중 어느 한 항에 있어서,

상기 전계의 세기가 1 내지 100 kV/cm, 바람직하게는 20 내지 40 kV/cm인 것을 특징으로 하는 방법.

실구판 6

제 1항 내지 제 5항 중 어느 한 항에 있어서,

상기 전계를 인가하기 위해, 기판이 전극으로 사용되는 것을 특징으로 하는 방법.

실구판 7

제 1항 내지 제 6항 중 어느 한 항에 있어서,

제 1항 내지 제 6항 중 어느 한 항에 있어서,

제 1항 내지 제 6항 중 어느 한 항에 있어서,

상기 기판의 표면 상에 카복실 전극, 특히 백금 전극이 제공되는 것을 특징으로 하는 방법.

실구판 8

제 1항 내지 제 7항 중 어느 한 항에 있어서,

제 2 전극으로서, 도전성 몰리브데이트가 사용되고, 상기 몰리브데이트는 나중의 강유전 층의 재료 상부에 배치되는 것을 특징으로 하는 방법.

실구판 9

제 1항 내지 제 8항 중 어느 한 항에 있어서,

제 2 전극으로서 플라즈마(1)가 사용되고, 상기 플라즈마는 나중의 강유전 층의 재료 상부에서 생성되는 것을 특징으로 하는 방법.

실구판 10

제 9항에 있어서,

상기 기판이 전압 필드에 의해 플라즈마 내로 침투되는 것을 특징으로 하는 방법.

실구판 11

제 1항 내지 제 10항 중 어느 한 항에 있어서,

상기 열처리가  $10^4$ 에 분하기에서 수행되는 것을 특징으로 하는 방법.

실구판 12

제 1항 내지 제 10항 중 어느 한 항에 있어서,

상기 열처리가  $10^4$ 에 분하기에서 수행되는 것을 특징으로 하는 방법.

실구판 13

제 1항 내지 제 12항 중 어느 한 항에 있어서,

상기 열처리가 0.05 내지 10 %의 압력으로 수행되는 것을 특징으로 하는 방법.

실구판 14

제 1항 내지 제 13항 중 어느 한 항에 있어서,

상기 강유전 층의 재료가 600 방법에 의해 기판에 제공되는 것을 특징으로 하는 방법.

실구판 15

제 1항 내지 제 14항 중 어느 한 항에 있어서,

상기 나중의 강유전 층의 재료가 실질적으로 비정질 미크로서 기판 상에 제공되는 것을 특징으로 하는 방법.

실구판 16

제 1항 내지 제 15항 중 어느 한 항에 있어서,

상기 열처리가 5 내지 50분, 바람직하게는 10 내지 30 분 동안 수행되는 것을 특징으로 하는 방법.

실구판 17

강유전 층이 제 1항 내지 제 15항의 방법 중 하나에 따라 형성되는 것을 특징으로 하는 강유전 층.

실구판 18

강유전 메모리 커패시터의 제조 방법에 있어서,

a) 제 1 카복실 전극을 제공하는 단계,

b) 상기 카복실 전극 상에 제 1항 내지 제 15항 중 어느 한 항에 따른 방법에 따라 강유전 층을 형성하는 단계,

c) 제 2 카복실 전극을 강유전 층 상에 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

실구판 19

각각 제1내지 하나의 몰리브데이트 및 제1내지 하나의 강유전 메모리 커패시터를 포함하는 다수의 메모리 셀을 가진 강유전 메모리 장치에 있어서,

상기 강유전 커패시터가 제 15항에 따른 방법에 따라 얻어지는 것을 특징으로 하는 강유전 메모리 장치.

도면

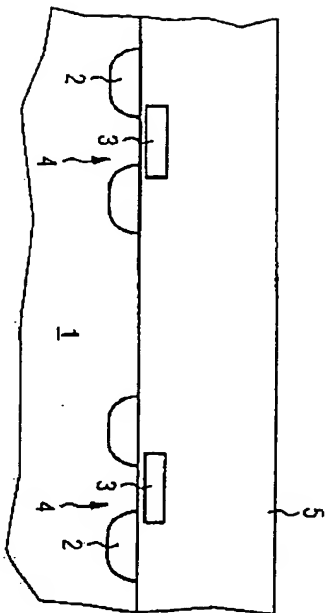
상기 강유전 커패시터가 제 15항에 따른 방법에 따라 얻어지는 것을 특징으로 하는 강유전 메모리 장치.

도면

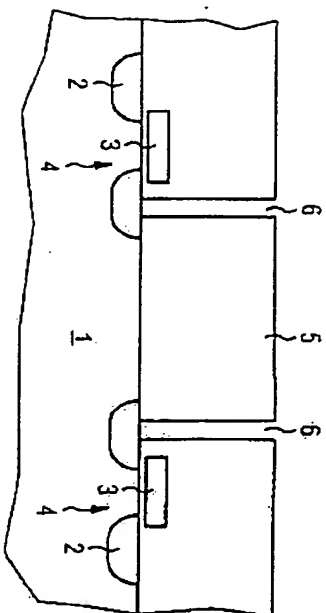
도면

도면

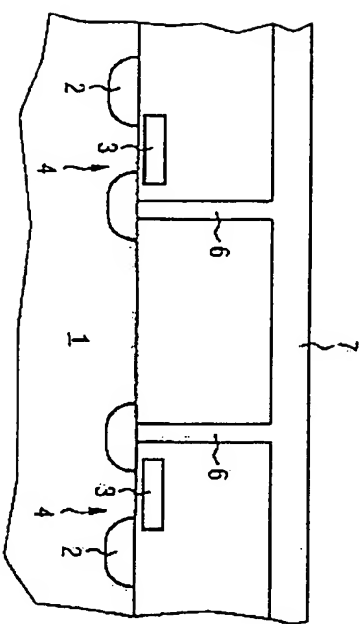
도면 1



도면 2

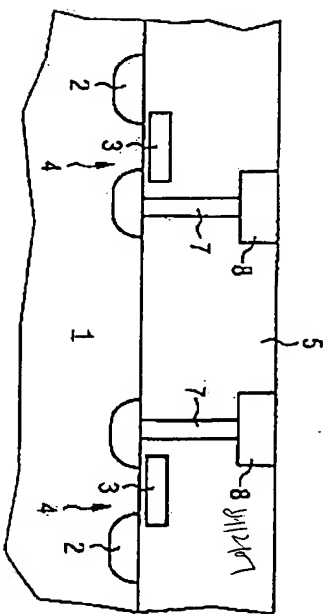


도면 3

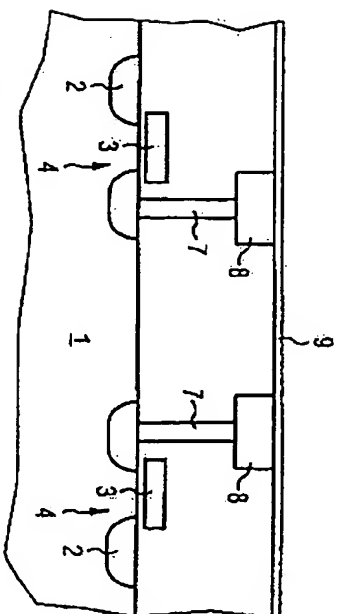


10-7

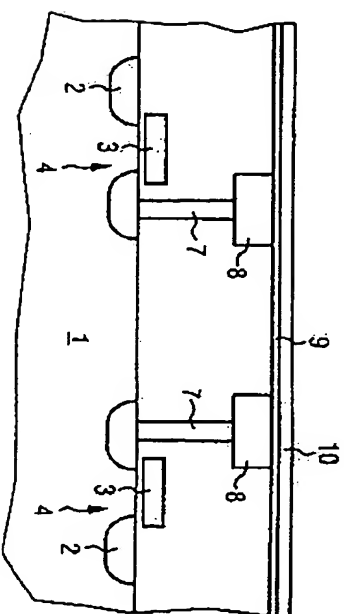
도면 4



도면 5

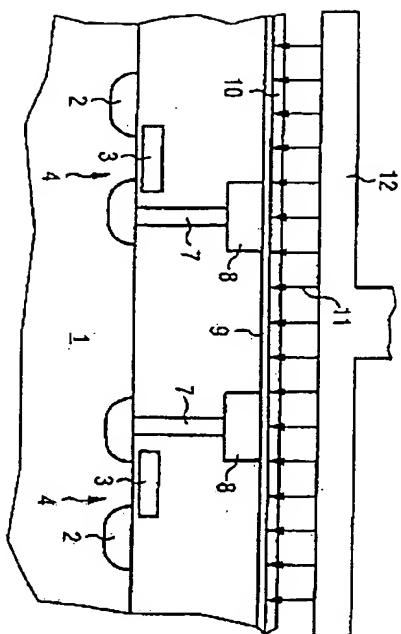


도면 6

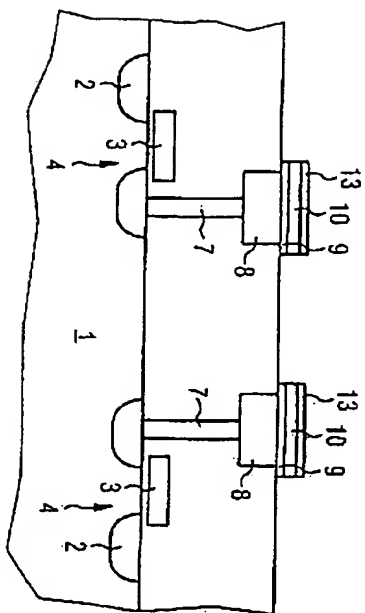


10-8

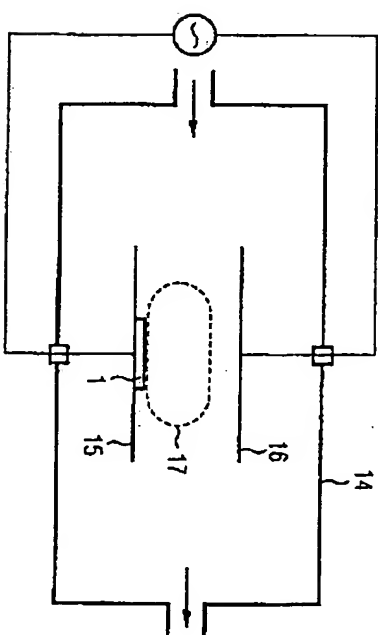
도면 7



도면 8



도면 9



도면 10

